

PATENT  
Docket No. 204552016500  
Client Ref. 529945

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

*Yuichi SATO*

Serial No.: Unassigned

Filing Date: October 5, 1999

For: STATIC RANDOM ACCESS MEMORY  
AND SEMICONDUCTOR DEVICE  
USING MOS TRANSISTORS HAVING  
CHANNEL REGION ELECTRICALLY  
CONNECTED WITH GATE

Examiner: Unassigned

Group Art Unit: Unassigned



**TRANSMITTAL OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119, applicant hereby claims the benefit of the filing of  
*Japanese* patent application No. 10-282335, filed *October 5, 1998*.

A certified copy of the priority document is attached to perfect applicants' claim for  
priority.

It is respectfully requested that the receipt of this certified copy attached hereto be  
acknowledged in this application.

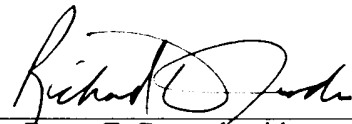
In the event that the transmittal letter is separated from this document and the Patent and  
Trademark Office determines that an extension and/or other relief is required, applicant petitions  
for any required relief including extensions of time and authorizes the Assistant Commissioner to

dc-177218

charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952**. However, the Assistant Commissioner is not authorized to charge the cost of the issue fee to the Deposit Account.

Dated: October 5, 1999

Respectfully submitted,

By:  33519  
for Barry E. Bretschneider  
Registration No. 28,055

Morrison & Foerster LLP  
2000 Pennsylvania Avenue, N.W.  
Washington, D.C. 20006-1888  
Telephone: (202) 887-1545  
Facsimile: (202) 887-0763

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

1c518 U.S. PTO  
09/412328  
10/05/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1998年10月 5日

出 願 番 号  
Application Number:

平成10年特許願第282335号

出 願 人  
Applicant(s):

シャープ株式会社

Short Title: STATIC RANDOM ACCESS MEMORY AND  
SEMICONDUCTOR DEVICE USING MOS  
TRANSISTORS...CONNECTED WITH GATE  
First Inventor: Yuichi SATO  
Application No.: Unassigned  
Docket No.: 204552016500

Morrison & Foerster LLP  
2000 Pennsylvania Avenue, N.W.  
Washington, D.C. 20006-1888  
(202) 887-1500

1999年 6月23日

特 許 庁 長 官  
Commissioner,  
Patent Office

伴佐山 建志

出証番号 出証特平11-3044651

【書類名】 特許願

【整理番号】 162441

【提出日】 平成10年10月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/417  
G11C 16/06

【発明の名称】 スタティック・ランダム・アクセスメモリおよび半導体  
装置

【請求項の数】 9

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株  
    式会社内

    【氏名】 佐藤 雄一

【特許出願人】

    【識別番号】 000005049

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100062144

    【弁理士】

    【氏名又は名称】 青山 葆

【選任した代理人】

    【識別番号】 100084146

    【弁理士】

    【氏名又は名称】 山崎 宏

【手数料の表示】

    【予納台帳番号】 013262

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スタティック・ランダム・アクセスメモリおよび半導体装置

【特許請求の範囲】

【請求項1】 オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続された金属酸化膜半導体トランジスタを用いたことを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項2】 請求項1に記載のスタティック・ランダム・アクセスメモリであって、

オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたN型金属酸化膜半導体トランジスタと、オン時にチャネルが形成される半導体領域が電源に接続されたP型金属酸化膜半導体トランジスタを含むスタティック・ランダム・アクセスメモリ・セルを備えたことを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項3】 請求項2に記載のスタティック・ランダム・アクセスメモリにおいて、

上記スタティック・ランダム・アクセスメモリ・セルにおける上記P型金属酸化膜半導体トランジスタのゲート酸化膜厚は、上記N型金属酸化膜半導体トランジスタのゲート酸化膜厚よりも厚くなっていることを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項4】 請求項2に記載のスタティック・ランダム・アクセスメモリにおいて、

上記スタティック・ランダム・アクセスメモリ・セルにおける上記P型金属酸化膜半導体トランジスタのチャネルが形成される第1半導体領域は、上記N型金属酸化膜半導体トランジスタのチャネルが形成される第2半導体領域であるP型ウェルよりも深いN型ウェルで形成されて、上記第1,第2半導体領域は電氣的に分離されていることを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項5】 請求項1に記載のスタティック・ランダム・アクセスメモリにおいて、

オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたN

型金属酸化膜半導体トランジスタと、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたP型金属酸化膜半導体トランジスタを含む書き込み回路を備えたことを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項6】 請求項5に記載のスタティック・ランダム・アクセスメモリにおいて、

上記書き込み回路は、ビット線および反転ビット線の電位を高レベルにする金属酸化膜半導体トランジスタを含み、

この金属酸化膜半導体トランジスタは、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたN型金属酸化膜半導体トランジスタであることを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項7】 請求項1に記載のスタティック・ランダム・アクセスメモリにおいて、

オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続された金属酸化膜半導体トランジスタを含む読み出し回路を備えたことを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項8】 請求項1に記載のスタティック・ランダム・アクセスメモリであって、

オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたN型金属酸化膜半導体トランジスタおよび抵抗を含むスタティック・ランダム・アクセスメモリ・セルを備えたことを特徴とするスタティック・ランダム・アクセスメモリ。

【請求項9】 オン時にチャネルが形成される半導体領域が第1ウェルで形成されると共に、内部処理を行う第1金属酸化膜半導体トランジスタと、

オン時にチャネルが形成される半導体領域が上記第1ウェルよりも深い第2ウェルで形成されると共に、外部と直接信号の送受を行う第2金属酸化膜半導体トランジスタを備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、スタティック・ランダム・アクセス・メモリ(以下、SRAMと略称する)および半導体装置に関する。

【0002】

【従来の技術】

近年、微細加工技術等の進展によって、LSI(大規模集積回路)の高速化および高集積化が進んでいる。ところで、高速で動作するLSIを実用化するためには、LSIの低消費電力化は重要な技術の一つである。すなわち、LSIを高速で動作させると消費電力は大きなものになり、LSIを安定して動作させるためには、セラミック・パッケージの採用や放熱フィン等が必要になり、コストが高くなってしまふのである。また、近年の携帯機器においては小型軽量化が進んでおり、電池での使用を長くすることからも低消費電力化は重要である。

【0003】

従来、N型MOS(金属酸化膜半導体)トランジスタ4個とP型MOSトランジスタ2個とで構成したSRAMセルが一般によく使われている。図9に、上記従来のN型MOS(以下、NMOSと略称する)トランジスタ4個とP型MOS(以下、PMOSと略称する)トランジスタ2個とで構成したSRAMセルの回路図を示す。また、図10は、上記構成のSRAMセルを用いたSRAM全体のレイアウトを示す。

【0004】

図10において、上記SRAM1は、入出力インターフェイス部2、上記SRAMセルを敷き詰めたメモリ部3、アドレスデコーダ部4、データ書き込み読み出し制御部5で概略構成される。そして、上記メモリ部3を構成するSRAMセルは、図9に示すような構成を有している。すなわち、ビット線Bは第1NMOSトランジスタ11のソース(ドレイン)に接続され、ワード線WLは第1NMOSトランジスタ11および第2NMOSトランジスタ12のゲートに接続され、反転ビット線BXは第2NMOSトランジスタ12のソース(ドレイン)に接続さ



れている。

#### 【0005】

上記第1 NMOSトランジスタ11におけるビット線Bが接続されていない方のドレイン(ソース)Yには、第3 NMOSトランジスタ13および第1 PMOSトランジスタ15のゲートが接続され、さらに、第4 NMOSトランジスタ14および第2 PMOSトランジスタ16のドレインにも接続されている。

#### 【0006】

上記第2 NMOSトランジスタ12における反転ビット線BXが接続されていない方のドレイン(ソース)YXには、第4 NMOSトランジスタ14および第2 PMOSトランジスタ16のゲートが接続され、さらに、第3 NMOSトランジスタ13および第1 PMOSトランジスタ15のドレインにも接続されている。

#### 【0007】

上記第3 NMOSトランジスタ13および第4 NMOSトランジスタ14のソースはGNDに接続されており、第1 PMOSトランジスタ15および第2 PMOSトランジスタ16のソースはVDDに接続されている。

#### 【0008】

上記構成において、上記第1 NMOSトランジスタ11～第4 NMOSトランジスタ14の各MOSトランジスタがオンした場合にチャネルが形成される半導体領域は、GNDに接続されている。一方、第1 PMOSトランジスタ15および第2 PMOSトランジスタ16の各MOSトランジスタがオンした場合にチャネルが形成される半導体領域は、VDDに接続されている。

#### 【0009】

#### 【発明が解決しようとする課題】

しかしながら、上記従来のSRAMには以下のような問題がある。すなわち、SRAMを低消費電力にするためには、動作電圧(VDD)を下げることによって大きな効果が得られる。ところが、VDDを下げるとMOSトランジスタの駆動電流が小さくなり、回路の遅延時間が大きくなって動作速度が低下してしまうのである。そこで、低電圧でもMOSトランジスタの駆動電流があまり小さくならないようにMOSトランジスタのスレッシュホールド電圧( $V_{th}$ )を低くすることが考

えられる。ところが、 $V_{th}$ を低くするとMOSトランジスタのリーク電流が増大して、スタンバイモードにしてもリーク電流があるために消費電力が大きくなるという問題がある。

## 【0010】

そこで、この発明の目的は、低電圧で動作可能な低消費電力で面積の小さいSRAMおよび半導体装置を提供することにある。

## 【0011】

## 【課題を解決するための手段】

上記目的を達成するため、請求項1に係る発明のSRAMは、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたMOSトランジスタを用いたことを特徴としている。

## 【0012】

上記構成によれば、SRAMに用いられているMOSトランジスタは、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたトランジスタ(以下、このようなMOSトランジスタをDTMOSと言う)である。そのために、上記DTMOSで構成されたMOSトランジスタ毎に、オン時にはスレッシュホールド電圧 $|V_{th}|$ が下がる一方、オフ時には $|V_{th}|$ が高くなるように制御される。したがって、0.5Vでの低電圧動作が可能となり、オフ時のリーク電流の増大を防ぎ、本SRAMにおける消費電力の低下が図られる。さらに、上記オン時の $|V_{th}|$ が低いのでオン抵抗が低くなり、書き込み/読み出し速度が速くなる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、オン抵抗が低くなる分だけ上記DTMOSのゲート幅を狭くして、本SRAMの小面積化が図られる。

## 【0013】

また、請求項2に係る発明は、請求項1に係る発明のSRAMであって、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたNMOSトランジスタと、オン時にチャネルが形成される半導体領域が電源に接続されたPMOSトランジスタを含むSRAMセルを備えたことを特徴としている。

## 【0014】

上記構成によれば、SRAMセルを構成するNMOSトランジスタがDTMOSで構成されている。そのため、上記SRAMセルの低電圧動作、低消費電力、高速書き込み/読み出しが可能になる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、上記SRAMセルの小面積化が図られる。

## 【0015】

また、請求項3に係る発明は、請求項2に係る発明のSRAMにおいて、上記SRAMセルにおけるPMOSトランジスタのゲート酸化膜厚は、上記NMOSトランジスタのゲート酸化膜厚よりも厚くなっていることを特徴としている。

## 【0016】

上記構成によれば、上記SRAMセルにおけるPMOSトランジスタのオン抵抗が大きくなるため電流が低くなり、NMOSトランジスタをより小さいトランジスタに構成できる。したがって、上記SRAMセルは、さらに、小面積化、小リーク電流化、低消費電力化が図られる。

## 【0017】

また、請求項4に係る発明は、請求項2に係る発明のSRAMにおいて、上記SRAMセルにおける上記PMOSトランジスタのチャンネルが形成される第1半導体領域は、上記NMOSトランジスタのチャンネルが形成される第2半導体領域であるP型ウェルよりも深いN型ウェルで形成されて、上記第1、第2半導体領域は電氣的に分離されていることを特徴としている。

## 【0018】

上記構成によれば、上記SRAMセルにおける上記PMOSトランジスタは、当該PMOSトランジスタのチャンネル領域を構成すると共に、上記NMOSトランジスタのチャンネル領域と電氣的に分離する深いN型ウェルのみの上に形成されている。そのために、上記PMOSトランジスタを個々に分離するための浅いウェルの必要が無く、その分だけ上記SRAMセルの面積が小さくなる。

## 【0019】

また、請求項5に係る発明は、請求項1に係る発明のSRAMにおいて、オン時にチャンネルが形成される半導体領域とゲートとが電氣的に接続されたNMOS

トランジスタと、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたPMOSトランジスタを含む書き込み回路を備えたことを特徴としている。

#### 【0020】

上記構成によれば、書き込み回路を構成するNMOSトランジスタおよびPMOSトランジスタは、オン抵抗が低くオフ時のリーク電流が抑えられるDTMOSで構成されている。そのために、上記書き込み回路の低電圧動作、低消費電力化、書き込み速度の高速化、小面積化が図られる。

#### 【0021】

また、請求項6に係る発明は、請求項5に係る発明のSRAMにおいて、上記書き込み回路は、ビット線および反転ビット線の電位を高レベルにするMOSトランジスタを含み、このMOSトランジスタは、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたNMOSトランジスタであることを特徴としている。

#### 【0022】

上記構成によれば、上記SRAMセルに対する書き込み時にビット線および反転ビット線の電位を高レベルにするMOSトランジスタは、上記DTMOSで構成されている。その結果、上記ビット線および反転ビット線の高レベル時の電位が低くなり、更なる低消費電力化が図られる。

#### 【0023】

また、請求項7に係る発明は、請求項1に係る発明のSRAMにおいて、オン時にチャネルが形成される半導体領域とゲートとが電氣的に接続されたMOSトランジスタを含む読み出し回路を備えたことを特徴としている。

#### 【0024】

上記構成によれば、読み出し回路を構成するMOSトランジスタは、オン抵抗が低くオフ時のリーク電流が抑えられるDTMOSで構成されている。そのために、上記読み出し回路の低電圧動作、低消費電力化、読み出し速度の高速化、小面積化が図られる。特に、上記DTMOSで、読み出し時に上記ビット線および反転ビット線をプリチャージすることによって、短時間に上記プリチャージが行われ

る。

【0025】

また、請求項8に係る発明は、請求項1に係る発明のSRAMであって、オン時にチャンネルが形成される半導体領域とゲートとが電氣的に接続されたNMOSトランジスタおよび抵抗を含むSRAMセルを備えたことを特徴としている。

【0026】

上記構成によれば、請求項2に係る発明の場合と同様に、本SRAMセルの低電圧動作、低消費電力、高速書き込み/読み出しが可能になる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、上記SRAMセルの小面積化が図られる。

【0027】

また、請求項9に係る発明の半導体装置は、オン時にチャンネルが形成される半導体領域が第1ウェルで形成されると共に、内部処理を行う第1MOSトランジスタと、オン時にチャンネルが形成される半導体領域が上記第1ウェルよりも深い第2ウェルで形成されると共に、外部と直接信号の送受を行う第2MOSトランジスタを備えたことを特徴としている。

【0028】

上記構成によれば、外部と直接信号の送受を行う第2MOSトランジスタにおけるチャンネルの形成領域が、内部処理を行う第1MOSトランジスタにおけるチャンネルが形成される第1ウェルよりも深い第2ウェルに形成されている。そのために、静電耐圧に優れた信頼性の高い半導体装置が得られる。

【0029】

【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。図1は、本実施の形態のSRAMを構成するSRAMセルの一例を表す回路図である。本実施の形態におけるSRAMセル27も2個のPMOSトランジスタと4個のNMOSトランジスタとで構成されている。

【0030】

ビット線Bは第1NMOSトランジスタ21のソース(ドレイン)に接続され、

ワード線WLは第1NMOSトランジスタ21および第2NMOSトランジスタ22のゲートに接続され、反転ビット線BXは第2NMOSトランジスタ22のソース(ドレイン)に接続されている。

#### 【0031】

上記第1NMOSトランジスタ21におけるビット線Bが接続されていない方のドレイン(ソース)Yには、第3NMOSトランジスタ23および第1PMOSトランジスタ25のゲートが接続され、さらに、第4NMOSトランジスタ24および第2PMOSトランジスタ26のドレインにも接続されている。

#### 【0032】

上記第2NMOSトランジスタ22における反転ビット線BXが接続されていない方のドレイン(ソース)YXには、第4NMOSトランジスタ24および第2PMOSトランジスタ26のゲートが接続され、さらに、第3NMOSトランジスタ23および第1PMOSトランジスタ25のドレインにも接続されている。

#### 【0033】

上記第4NMOSトランジスタ24および第3NMOSトランジスタ23のソースにはGNDが接続されており、第1PMOSトランジスタ25および第2PMOSトランジスタ26のソースにはVDDが接続されている。

#### 【0034】

そして、本実施の形態においては、上記第1NMOSトランジスタ21～第4NMOSトランジスタ24を上記DTMOSで構成している。一方、第1PMOSトランジスタ25および第2PMOSトランジスタ26の各MOSトランジスタがオンした場合にチャンネルが形成される半導体領域を、図9に示す従来のSRAMセルと同様にVDDに接続している。

#### 【0035】

図2は、上記構成を有するSRAMセル27を記憶素子とするSRAMにおけるSRAMセルアレイ28と書き込み回路および読み出し回路との接続関係を示す回路図である。ここで、書き込み回路29,31および読み出し回路37を構成しているMOSトランジスタは、総てDTMOSである。以下、図1および図2に示す回路を、VDD=0.5Vで動作させる場合について説明する。

## 【0036】

先ず、上記SRAMセル27において、上記第1,第2NMOSトランジスタ21,22はオフしており、第2PMOSトランジスタ26がオンする一方第4NMOSトランジスタ24がオフしてノードYがVDDレベルになり、第1PMOSトランジスタ25がオフする一方第3NMOSトランジスタ23がオンしてノードYXがGNDレベルになった状態、つまりデータ“1”を記憶している状態に対して、データ“0”を書き込む場合について述べる。

## 【0037】

上記書き込み回路29,31によって、ビット線BはGND(0)レベルに、反転ビット線BXはVDDレベルに設定される。また、選択されたSRAMセル27のワード線WLはVDDレベルになって、当該SRAMセル27の第1,第2NMOSトランジスタ21,22は共にオンする。したがって、ノードYの電位は、VDDとGNDとの電位差(0.5V)を、第2PMOSトランジスタ26のオン抵抗(RP2)と、第1NMOSトランジスタ21のオン抵抗(RN1)と、ビット線BをGNDレベルにしている書き込み回路29のNMOSトランジスタ30のオン抵抗(RNW1)とで分割した電位になる。したがって、ノードYの電位(VY)は、式(1)

$$VY = 0.5 \times (RN1 + RNW1) / (RP2 + RN1 + RNW1) \quad \cdots (1)$$

で表される。そして、式(1)で表されるノードYの電位VYが第3NMOSトランジスタ23と第1PMOSトランジスタ25とで構成されるインバータを反転可能な低い電位になるように、第2PMOSトランジスタ26のオン抵抗(PR2)を大きく設定する一方、第1NMOSトランジスタ21のオン抵抗(RN1)とNMOSトランジスタ30のオン抵抗(RNW1)とを小さく設定してある。その結果、データ“0”書き込み時には、第3NMOSトランジスタ23と第1PMOSトランジスタ25とで構成されるインバータが反転して、ノードYXの電位はVDDレベルになる。

## 【0038】

そうすると、上記第2PMOSトランジスタ26と第4NMOSトランジスタ24とで構成されるインバータも反転し、第2PMOSトランジスタ26がオフ

する一方、第4 NMOSトランジスタ24がオンするために、ノードYの電位はGNDレベルになる。つまり、選択SRAMセル27にはデータ“0”が書き込まれたことになる。その後、ワード線WLをGNDレベルにし、第1,第2 NMOSトランジスタ21,22をオフすることによって、データ“0”が記憶される。

#### 【0039】

次に、データ“0”を記憶しているSRAMセル27に、データ“1”を書き込む場合について述べる。書き込み回路29,31によって、ビット線BはVDDレベルに、反転ビット線BXはGNDレベルに設定される。また、選択されたSRAMセル27のワード線WLはVDDレベルになって、当該SRAMセル27の第1,第2 NMOSトランジスタ21,22は共にオンする。したがって、ノードYXの電位は、VDDとGNDとの電位差(0.5V)を、第1 PMOSトランジスタ25のオン抵抗(RP1)と、第2 NMOSトランジスタ22のオン抵抗(RN2)と、反転ビット線BXをGNDレベルにしている書き込み回路31のNMOSトランジスタ32のオン抵抗(RNW2)とで分割した電位になる。したがって、ノードYXの電位(VYX)は、式(2)

$$V_{YX} = 0.5 \times (R_{N2} + R_{NW2}) / (R_{P1} + R_{N2} + R_{NW2}) \quad \dots (2)$$

で表される。そして、上記式(2)で表されるノードYXの電位VYXが第4 NMOSトランジスタ24と第2 PMOSトランジスタ26とで構成されるインバータを反転可能な低い電位になるように、第1 PMOSトランジスタ25のオン抵抗(RP1)を大きく設定する。一方、第2 NMOSトランジスタ22のオン抵抗(RN2)とNMOSトランジスタ32のオン抵抗(RNW2)は小さく設定してある。その結果、データ“1”書き込み時には、第4 NMOSトランジスタ24と第2 PMOSトランジスタ26とで構成されるインバータが反転して、ノードYの電位はVDDレベルになる。

#### 【0040】

そうすると、上記第1 PMOSトランジスタ25と第3 NMOSトランジスタ23とで構成されるインバータも反転し、第1 PMOSトランジスタ25がオフする一方、第3 NMOSトランジスタ23がオンするために、ノードYXの電位



はGNDレベルになる。つまり、選択SRAMセル27にはデータ“1”が書き込まれたことになる。その後、ワード線WLをGNDレベルにし、第1,第2 NMOSトランジスタ21,22をオフすることによって、データ“1”が記憶される。

#### 【0041】

本実施の形態におけるSRAMセル27を構成する第1 NMOSトランジスタ21～第4 NMOSトランジスタ24は、上述のごとくDTMOSである。さらに、書き込み回路29,31を構成するNMOSトランジスタ30,32及びPMOSトランジスタ33,34もDTMOSである。ここで、上記DTMOSは、上述したように、オン時にチャネルが形成される半導体領域がゲートに接続されている。したがって、オン時における $|V_{th}|$ が、図9に示す従来のSRAMセルにおける第1 NMOSトランジスタ11～第4 NMOSトランジスタ14のごとくチャネルがGNDである場合や通常のPMOSトランジスタのごとくチャネルがVDDである場合よりも低くなり、オン抵抗が低くなる。一方、オフ時における $|V_{th}|$ は、図9に示す従来のSRAMセルにおける第1 NMOSトランジスタ11～第4 NMOSトランジスタ14や通常のPMOSトランジスタと同程度に高くなる。

#### 【0042】

したがって、上記DTMOSで構成された各MOSトランジスタ21～24,30,32～34は、オン抵抗が小さく、オフ時のリーク電流が少ない。その結果、小面積で、低消費電力なSRAMセル27を実現できる。また、書き込み速度が速く、小面積で、低消費電力な書き込み回路29,31を実現できるのである。

#### 【0043】

一方、上記SRAMセル27に記憶されたデータを読み出す場合には、書き込み回路29のNMOSトランジスタ30およびPMOSトランジスタ33と、書き込み回路31のNMOSトランジスタ32およびPMOSトランジスタ34とをオフし、アドレス信号が切り換わった直後にある期間だけ、ビット線Bと電源電圧VDDとの間に介設されて読み出し回路37を構成するNMOSトランジス

タ35と、反転ビット線BXと電源電圧VDDとの間に介設されて読み出し回路37を構成するNMOSトランジスタ36とをオンして、ビット線Bと反転ビット線BXとを $(VDD - V_{thn})$ レベルまで引き上げる。そして、ビット線Bおよび反転ビット線BXが $(VDD - V_{thn})$ レベルになるのに十分な期間が経過した後に、NMOSトランジスタ35,36はオフされる。ここで、上記 $V_{thn}$ は、NMOSトランジスタ35およびNMOSトランジスタ36のオン時における $V_{th}$ である。

## 【0044】

こうして、上記NMOSトランジスタ35,36がオフすると、選択されたワード線WLがVDDになって、選択SRAMセル27の第1NMOSトランジスタ21および第2NMOSトランジスタ22がオンし、ノードYの電位がビット線Bに導出される一方、ノードYXの電位が反転ビット線BXに導出される。

## 【0045】

ここで、上記SRAMセル27にデータ“0”が記憶されている場合は、第1,第2NMOSトランジスタ21,22がオンする前におけるノードYのレベルはGNDである。ところが、第1,第2NMOSトランジスタ21,22がオンすると、ビット線Bは上述のごとく電位 $(VDD - V_{thn})$ にプリチャージされているために、ノードYの電位 $V_Y$ は、第4NMOSトランジスタ24のオン抵抗を $R_{N4}$ とすると、一時的に式(3)

$$V_Y = (VDD - V_{thn}) \times R_{N4} / (R_{N1} + R_{N4}) \quad \dots (3)$$

で表される電位になる。ここで、式(3)で表されるノードYの電位 $V_Y$ が第1PMOSトランジスタ25と第3NMOSトランジスタ23とで構成されたインバータの反転電圧を越えないように、第4NMOSトランジスタ24と第1NMOSトランジスタ21とのオン抵抗 $R_{N4}$ および $R_{N1}$ が設定されている。したがって、ビット線Bのチャージ電荷はオン状態の第1NMOSトランジスタ21と第4NMOSトランジスタ24とを通過してディスチャージされ、ビット線BはGNDレベルになる。

## 【0046】

一方、上記反転ビット線BXの電位は、ノードYXの電位がVDDであるため

( $V_{DD} - V_{thn}$ )のまま変わらない。したがって、読み出し回路39のインバータ38を介して出力Qのレベルは“L”になり、データ“0”が読み出されるのである。その後、ワード線WLがGNDレベルになって第1,第2NMOSトランジスタ21,22はオフし、SRAMセル27に記憶されているデータは破壊されることなく保持される。

## 【0047】

また、上記SRAMセル27にデータ“1”が記憶されている場合も同様に、第2NMOSトランジスタ22がオンした場合に、ノードYXの電位 $V_{YX}$ は、第3NMOSトランジスタ23のオン抵抗を $R_{N3}$ とすると、一時的に式(4)

$$V_{YX} = (V_{DD} - V_{thn}) \times R_{N3} / (R_{N2} + R_{N3}) \quad \dots (4)$$

で表される電位になる。ここで、式(4)で表されるノードYXの電位 $V_{YX}$ が第2PMOSトランジスタ26と第4NMOSトランジスタ24で構成されたインバータの反転電圧を越えないように、第3NMOSトランジスタ23と第2NMOSトランジスタ22とのオン抵抗 $R_{N3}$ および $R_{N2}$ が設定されている。したがって、SRAMセル27に記憶されているデータは破壊されない。そして、反転ビット線BXの電位はGNDレベルであるため、インバータ38で反転され、出力Qによってデータ“1”が読み出されるのである。

## 【0048】

ここで、上記読み出し回路37を構成するNMOSトランジスタ35およびNMOSトランジスタ36はDTMOSで構成されている。したがって、オン抵抗は小さく、オフ時にはリーク電流が少ない特性を有している。したがって、ビット線Bおよび反ビット線BXをプリチャージする際のプリチャージ時間を短くでき、小面積で、リーク電流も少なくできるのである。尚、読み出し回路37をDTMOSで成るPMOSトランジスタで構成しても同じ効果が得られる。また、読み出し回路39を構成するインバータ38を上記DTMOSで形成すれば、読み出し回路の更なる低消費電力化および読み出しの高速化を図ることができる。

## 【0049】

通常、上記SRAMセルでは、データ記憶時の消費電力を小さくするために各トランジスタのオフ時のリーク電流を小さく抑える必要があり、各MOSトラン

ジスタの $|V_{th}|$ はあまり小さくできない。したがって、図9に示す従来のSRAMセルにおいては、第1,第2NMOSトランジスタ11,12のオン抵抗( $R_{N11}, R_{N12}$ )と書き込み回路の2個のNMOSトランジスタ(図2におけるNMOSトランジスタ30,32に相当)のオン抵抗を小さくするためには、上記SRAMセルおよび書き込み回路における4個のNMOSトランジスタのゲート幅を広くする必要があり、各NMOSトランジスタの面積(つまりは、SRAMセルの面積)が大きくなってしまう。

## 【0050】

また、上記4個のNMOSトランジスタのゲート幅を広くしない場合は、SRAMセルにおける第1,第2PMOSトランジスタ15,16のオン抵抗を大きくする必要があり、そのためには両PMOSトランジスタ15,16のゲート長を長くする必要がある。したがって、この場合にもSRAMセルの面積が大きくなってしまう。また、第1,第2PMOSトランジスタ15,16のゲート長を長くした場合には、当該SRAMセルにデータを書き込み/読み出す際における第1,第2NMOSトランジスタ11,12のオン抵抗が大きいために、書き込み/読み出し時間が長くなるという問題もある。

## 【0051】

これに対して、本実施の形態においては、上記SRAMセル27における第1NMOSトランジスタ21～第4NMOSトランジスタ24は、上述したようにDTMOSで構成されている。したがって、上記4個のNMOSトランジスタ21～24におけるオフ時のチャネル領域電圧はGNDレベルであり、図9に示す従来のSRAMセルにおける第1NMOSトランジスタ11～第4NMOSトランジスタ14と同じ特性を示す。これに対して、オン時のチャネル領域電圧は $V_{DD}$ である。したがって、各NMOSトランジスタ21～24におけるオン時の $|V_{th}|$ は、オフ時の $|V_{th}|$ (すなわち、従来のSRAMセルにおける各NMOSトランジスタ11～14の $|V_{th}|$ )より小さくなる。すなわち、従来のSRAMセルにおいては困難であった0.5Vという低い電圧での動作が可能となり、動作時の消費電力を小さくできるのである。さらに、上記オン抵抗はゲート電圧から $|V_{th}|$ を差し引いた( $V_{GS} - |V_{th}|$ )に逆比例することから、本実

施の形態のSRAMセル27における各NMOSトランジスタ21~24のオン抵抗は、従来のSRAMセルにおける各NMOSトランジスタ11~14のオン抵抗よりも小さくなる。したがって、従来のSRAMセルの場合よりも書き込み/読み出し速度を速くできるのである。また、従来のSRAMセルと同じ書き込み/読み出し速度でよいのであれば、従来のSRAMセルよりも面積を小さくできる。しかも、上記各NMOSトランジスタ21~24におけるオフ時のリーク電流は、従来のSRAMセルの各NMOSトランジスタ11~14におけるオフ時のリーク電流と同じであるため、スタンバイ時の消費電力増大の問題はないのである。

## 【0052】

また、上記SRAMセル27における第1,第2PMOSトランジスタ25,26のゲート酸化膜厚を、第1~第4NMOSトランジスタ21~24のゲート酸化膜厚よりも厚くすることによって、第1,第2PMOSトランジスタ25,26のオン抵抗を大きくして電流値を低くでき、第1NMOSトランジスタ21~第4NMOSトランジスタ24をより小さいトランジスタで構成できる。したがって、その場合においては、さらに、小面積で、リーク電流も少なく、低消費電力のSRAMセルを提供できるのである。

## 【0053】

図3は、図1に示すSRAMセル27の部分断面図であり、ディープウェルとシャローウェルの二重ウェル構造になっている。第1,第3NMOSトランジスタ21,23が形成されているシャローPウェル41,42は、各MOSトランジスタ21,23毎にトレンチ43とディープNウェル44とで電氣的に分離されている。そして、第1NMOSトランジスタ21のゲートとシャローPウェル41とは接続され、第3NMOSトランジスタ23のゲートとシャローPウェル42とは接続されて、夫々DTMOSを形成している。さらに、ディープNウェル44はVDDに接続されている。

## 【0054】

また、上記第1PMOSトランジスタ25が形成されているシャローNウェル45はVDDに接続される一方、ディープPウェル46はGNDに接続されてい

る。尚、第1 PMOSトランジスタ25(第2 PMOSトランジスタ26)を上記DTMOSで構成してもよいが、小面積でオン抵抗を大きくするためにはシャローNウェル45をVDDに接続した方がよい。

#### 【0055】

図4は、図3におけるSRAMセル27の構造を改良したものである。第1、第3 NMOSトランジスタ21, 23が形成されているシャローPウェル51, 52は、各MOSトランジスタ21, 23毎にトレンチ53とディープNウェル54とで電氣的に分離されている。そして、第1 NMOSトランジスタ21のゲートとシャローPウェル51とは接続され、第3 NMOSトランジスタ23のゲートとシャローPウェル52とは接続されて、夫々DTMOSを形成している。さらに、ディープNウェル54はVDDに接続されている。

#### 【0056】

ここで、図3において、図3では表れていないが、上記第1, 第2 PMOSトランジスタ25, 26が形成されているシャローNウェルは、各PMOSトランジスタ毎にトレンチ47とディープPウェル46とで電氣的に分離されている。しかしながら、SRAMセル27における第1, 第2 PMOSトランジスタ25, 26のチャネルが形成される半導体領域はVDDで共通であるため各PMOSトランジスタ25, 26毎にシャローNウェル45を分離する必要はない。

#### 【0057】

そこで、図4においては、上記シャローPウェル51, 52を分離するためのディープNウェル領域54(VDDの電圧が与えられている)に第1 PMOSトランジスタ25と第2 PMOSトランジスタ26とを形成するのである。こうすることによって、SRAMセル27の領域においては、シャローNウェルおよびディープPウェルを形成する必要がなく、図3に示す構造よりもSRAMセル27の面積を小さくできるのである。

#### 【0058】

尚、図3および図4は、上記SRAMセル27をシリコン単結晶基板上に形成した場合の例であるが、図1に示すSRAMセル27および図2に示すSRAMは、シリコン単結晶基板上に限らずSOI(シリコン・オン絶縁体)基板上にも形

成可能である。また、図3および図4においては、第1NMOSトランジスタ21と第3NMOSトランジスタ23および第1PMOSトランジスタ25との関係について述べているが、他のNMOSトランジスタ22,24および第2PMOSトランジスタ26との関係についても同様である。

#### 【0059】

図5は、図1に示すSRAMセル27における第1,第2PMOSトランジスタ25,26の夫々を、第1抵抗65および第2抵抗66に置き換えたSRAMセル67である。尚、第1NMOSトランジスタ61~第4NMOSトランジスタ64は、夫々図1に示すSRAMセル27における第1NMOSトランジスタ21~第4NMOSトランジスタ24に相当する。ここで、上記第1,第2抵抗65,66は、高抵抗ポリシリコンや薄膜トランジスタ(TFT)等で形成する。

#### 【0060】

上記構成のSRAMセル67において、データ“1”が書き込まれている状態(ノードY→VDD, ノードYX→GND)にデータ“0”を書き込む場合には、第2抵抗66の抵抗値を $RP2$ として、式(1)で表されるノードYの電圧 $V_Y$ が第1抵抗65と第3NMOSトランジスタ63とで構成されるインバータを反転できる電圧になるようにする。また、データ“0”が書き込まれている状態(ノードY→GND, ノードYX→VDD)にデータ“1”を書き込む場合には、第1抵抗65の抵抗値を $RP1$ として、式(2)で表されるノードYXの電圧 $V_{YX}$ が第2抵抗66と第4NMOSトランジスタ64とで構成されるインバータを反転できる電圧になるようにする。こうすることによって、図5に示すSRAMセル67は、図1に示すSRAMセル27と同様に動作してデータの書き込みを行うのである。

#### 【0061】

図6は、上記構成を有するSRAMセル67を記憶素子とするSRAMにおけるSRAMセルアレイ68と書き込み回路69,70との接続関係を示す回路図である。書き込み回路69は、図2に示す書き込み回路29のPMOSトランジスタ33を、DTMOS構造のNMOSトランジスタ73に置き換えた構成を有する。一方、書き込み回路70は、図2に示す書き込み回路31のPMOSトラ

ンジスタ 34 を、DTMOS 構造の NMOS トランジスタ 74 に置き換えた構成を有する。尚、書き込み回路 69 の NMOS トランジスタ 71 は、図 2 に示す書き込み回路 29 の NMOS トランジスタ 30 に相当する。また、書き込み回路 70 の NMOS トランジスタ 72 は、図 2 に示す書き込み回路 31 の NMOS トランジスタ 32 に相当する。そして、NMOS トランジスタ 73, 74 のゲートには、NMOS トランジスタ 71, 72 のゲートへの入力信号 WB, WB X の反転信号 WB X, WB が入力される。

## 【0062】

上記構成によれば、図 2 に示す書き込み回路 69, 70 よりも回路が簡単になる。然も、ビット線 B および反転ビット線 B X の書き込み時における電位は ( $V_{DD} - V_{thn}$ ) レベルになるので、図 2 に示す書き込み回路 69, 70 の場合 ( $V_{DD}$ ) に比べて低消費電力となる。

## 【0063】

図 7 は、本実施の形態における SRAM セルを内蔵した半導体装置のレイアウトを示す。半導体装置 81 は、外部とのインターフェイス部 82、論理回路部 83、SRAM 部 84 で概略構成される。ここで、論理回路部 83 および SRAM 部 84 は 0.5 V で動作する領域である。また、インターフェイス部 82 は、0.5 V より高い電圧 (例えば、3 V) で動作する領域と、0.5 V で動作する領域との両方を備えている。つまり、外部から入力された 3 V 振幅の入力信号を 0.5 V 振幅の信号に変換して内部に供給する回路と、0.5 V 振幅の内部信号を 3 V 振幅の信号に変換して外部に出力する回路とで構成されている。

## 【0064】

図 8 は、上記インターフェイス部 82 の一部分の断面図であり、ディープウェルとシャローウェルとの二重構造になっている。0.5 V で動作する NMOS トランジスタ 91 および PMOS トランジスタ 92 は、シャロー P ウェル 93 およびシャロー N ウェル 94 に形成され、トレンチ 95 とディープ N ウェル 96 およびディープ P ウェル 97 とで電氣的に分離されている。これに対して、3 V で動作する NMOS トランジスタ 101 および PMOS トランジスタ 102 は、ディープ P ウェル 103 およびディープ N ウェル 104 に形成されて電氣的に分離さ



れている。これは、3Vで動作するMOSトランジスタ101,102は、外部と直接信号を送受するので、静電気耐圧等に対する信頼性を向上させるためである。勿論、ディープウェル96,97,103,104の周囲には、従来の半導体装置と同様に保護回路が構成されていることは言うまでもない。

#### 【0065】

上述のように、本実施の形態においては、SRAMセル27,67を構成するNMOSトランジスタを、チャネル領域がゲートに接続されたDTMOSで構成している。また、SRAMセル27,67を用いたSRAMの書き込み回路29,31,69,70を構成する全MOSトランジスタ30,32,33,34,71~74、及び、読み出し回路37を構成するNMOSトランジスタ35,36を上記DTMOSで構成している。したがって、オン時の $|V_{th}|$ をオフ時の $|V_{th}|$ よりも低くでき、従来不可能であった0.5Vでの低電圧動作が可能となり、動作時の消費電力を小さくできる。これに対して、オフ時の $|V_{th}|$ は、通常のMOSトランジスタと同じである。したがって、オフ時のリーク電流を従来のSRAMセルと同等にして、スタンバイ時の消費電力の増大を防止できる。

#### 【0066】

また、上記DTMOSでなる各MOSトランジスタは、オン時の $|V_{th}|$ が低いのでオン抵抗も小さい、したがって、上記DTMOSを用いていない従来のSRAMよりも書き込み/読み出し速度を速くできる。また、書き込み/読み出し速度が従来のSRAMの程度でよいのであれば、オン抵抗が小さい分だけ上記DTMOSのゲート幅を狭くでき、上記DTMOSの面積つまりはSRAMセルやSRAMの面積を狭くできるのである。

#### 【0067】

また、図6に示すSRAMの書き込み回路69,70では、ビット線Bおよび反転ビット線BXの電位を高レベルにするトランジスタを上記DTMOS構造のNMOSトランジスタで構成している。したがって、ビット線Bおよび反転ビット線BXの書き込み時における電位を $(V_{DD}-V_{thn})$ レベルにでき、図2に示すSRAMの書き込み回路69,70の場合 $(V_{DD})$ よりも低消費電力にできるのである。

【0068】

また、上記SRAMセル27,67を内蔵した半導体装置におけるインターフェイス部82を構成して0.5Vで動作するMOSトランジスタ91,92のチャネル領域は、シャローウェル93,94で構成されている。これに対して、3Vで動作するMOSトランジスタ101,102のチャネル領域は、ディープウェル103,104で構成されている。したがって、外部と直接信号を送受する上記3Vで動作するMOSトランジスタ101,102の静電気耐圧等に対する信頼性を向上できる。

【0069】

【発明の効果】

以上より明らかなように、請求項1に係る発明のSRAMは、MOSトランジスタとして、オン時にはスレッショルド電圧 $|V_{th}|$ が低下する一方、オフ時には $|V_{th}|$ が高くなる上記DTMOSを用いるので、0.5Vでの低電圧動作が可能し、スタンバイ時のリーク電流の増大を防いで、消費電力の低下を図ることができる。さらに、オン時の $|V_{th}|$ が低いのでオン抵抗を低くでき、書き込み/読み出し速度を速くできる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、オン抵抗が低い分だけ上記DTRMOSのゲート幅を狭くして、本SRAMの小面積化を図ることができる。

【0070】

また、請求項2に係る発明のSRAMは、上記DTMOSで構成されるNMOSトランジスタと、チャネル領域が電源に接続されたPMOSトランジスタを含むSRAMセルを有するので、本SRAMセルの低電圧動作,低消費電力,高速書き込み/読み出しを可能にできる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、上記SRAMセルの小面積化を図ることができる。

【0071】

また、請求項3に係る発明のSRAMは、上記SRAMセルにおけるPMOSトランジスタのゲート酸化膜厚を、上記NMOSトランジスタのゲート酸化膜厚よりも厚くしたので、上記PMOSトランジスタのオン抵抗が大きくなるため電流が低くなり、NMOSトランジスタをより小さいトランジスタで構成できる。し

たがって、さらに、小面積、小リーク電流、低消費電力のSRAMセルを得ることができる。

## 【0072】

また、請求項4に係る発明のSRAMは、上記SRAMセルにおける上記PMOSトランジスタのチャンネルが形成される第1半導体領域を、上記NMOSトランジスタのチャンネルが形成される第2半導体領域であるP型ウェルよりも深いN型ウェルで形成し、上記第1,第2半導体領域を電氣的に分離したので、上記PMOSトランジスタを個々に分離するための浅いウェルを必要とはしない。したがって、その分だけ上記SRAMセルの面積を小さくできる。

## 【0073】

また、請求項5に係る発明のSRAMは、上記DTMOSで構成されたNMOSトランジスタおよびPMOSトランジスタを含む書き込み回路を備えたので、この書き込み回路の低電圧動作,低消費電力化,書き込み速度の高速化,小面積化を図ることができる。

## 【0074】

また、請求項6に係る発明のSRAMにおける上記書き込み回路はビット線および反転ビット線の電位を高レベルにするNMOSトランジスタを含み、このNMOSトランジスタを上記DTMOSで構成したので、上記ビット線および反ビット線の高レベル時の電位を通常のNMOSトランジスタの場合よりも低くできる。したがって、この発明によれば、更なる低消費電力化を図ることができる。

## 【0075】

また、請求項7に係る発明のSRAMは、上記DTMOSで構成されたMOSトランジスタを含む読み出し回路を備えたので、この読み出し回路の低電圧動作,低消費電力化,読み出し速度の高速化,小面積化を図ることができる。特に、上記DTMOSで、読み出し時に上記ビット線および反ビット線をプリチャージすることによって、上記プリチャージを短時間に行うことができる。

## 【0076】

また、請求項8に係る発明のSRAMは、上記DTMOSで構成されるNMOSトランジスタと抵抗とを含むSRAMセルを備えたので、請求項2に係る発明

の場合と同様に、本SRAMセルの低電圧動作、低消費電力、高速書き込み/読み出しを可能にできる。あるいは、書き込み/読み出し速度を従来と同等に保つ場合には、上記SRAMセルを小面積にできる。

【0077】

また、請求項9に係る発明の半導体装置は、外部と直接信号の送受を行う第2MOSトランジスタにおけるチャネルの形成領域を、内部処理を行う第1MOSトランジスタにおけるチャネルが形成される第1ウェルよりも深い第2ウェルで構成したので、静電耐圧に優れた信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 この発明のSRAMを構成するSRAMセルの回路図である。

【図2】 図1に示すSRAMセルを単位とするSRAMセルアレイと書き込み回路および読み出し回路との接続関係を示す図である。

【図3】 図1に示すSRAMセルの部分断面図である。

【図4】 図3とは異なる部分断面図である。

【図5】 図1とは異なるSRAMセルの回路図である。

【図6】 図5に示すSRAMセルを単位とするSRAMセルアレイと書き込み回路との接続関係を示す図である。

【図7】 図1あるいは図5に示すRAMセルを用いた半導体装置のレイアウトを示す図である。

【図8】 図7におけるインターフェイス部の部分断面図である。

【図9】 従来のSRAMセルの回路図である。

【図10】 SRAMセルを用いたSRAMのレイアウトを示す図である。

【符号の説明】 21, 61…第1NMOSトランジスタ、

22, 62…第2NMOSトランジスタ、

23, 63…第3NMOSトランジスタ、

24, 64…第4NMOSトランジスタ、

25…第1PMOSトランジスタ、

26…第2PMOSトランジスタ、

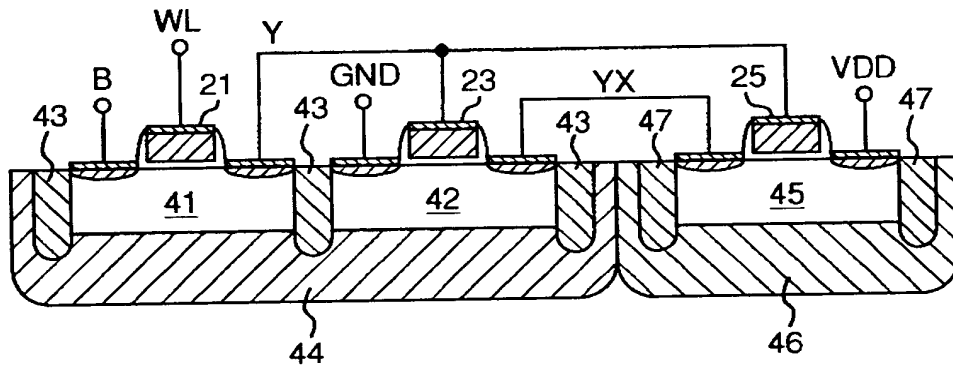
27, 67…SRAMセル、

28, 68…SRAMセルアレイ、

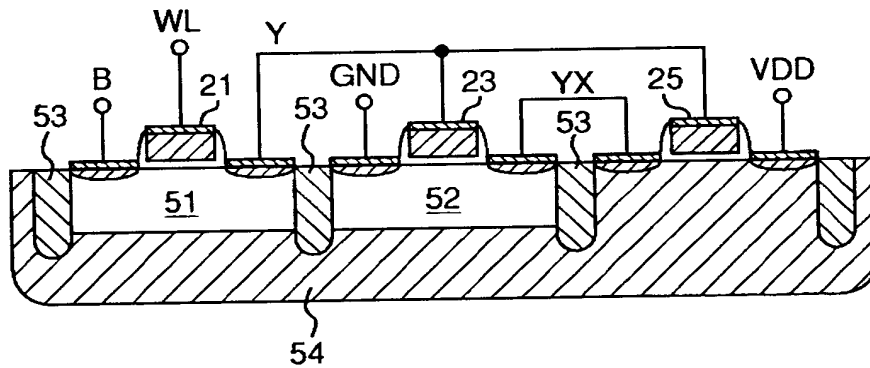
29, 31, 69, 70…書き込み回路、  
30, 32, 35, 36, 71~74, 91, 94, 101…NMOSトランジスタ、  
33, 34, 92, 102…PMOSトランジスタ、  
37, 39…読み出し回路、 38…インバータ、  
41, 42, 51, 52, 93シャローPウェル、  
43, 47, 53, 95…トレンチ、  
44, 54, 96, 104…ディープNウェル、  
45, 94…シャローNウェル、  
46, 97, 103…ディープPウェル、  
65, 66…抵抗、 81…半導体装置、  
82…インターフェイス部、 83…論理回路部、  
84…SRAM部、 B…ビット線、  
WL…ワード線、 BX…反転ビット線。



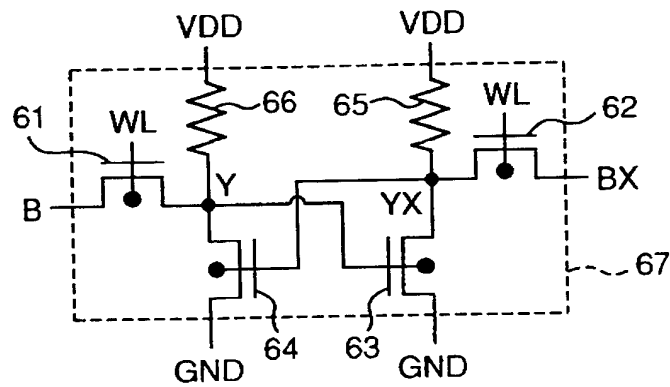
【図 3】



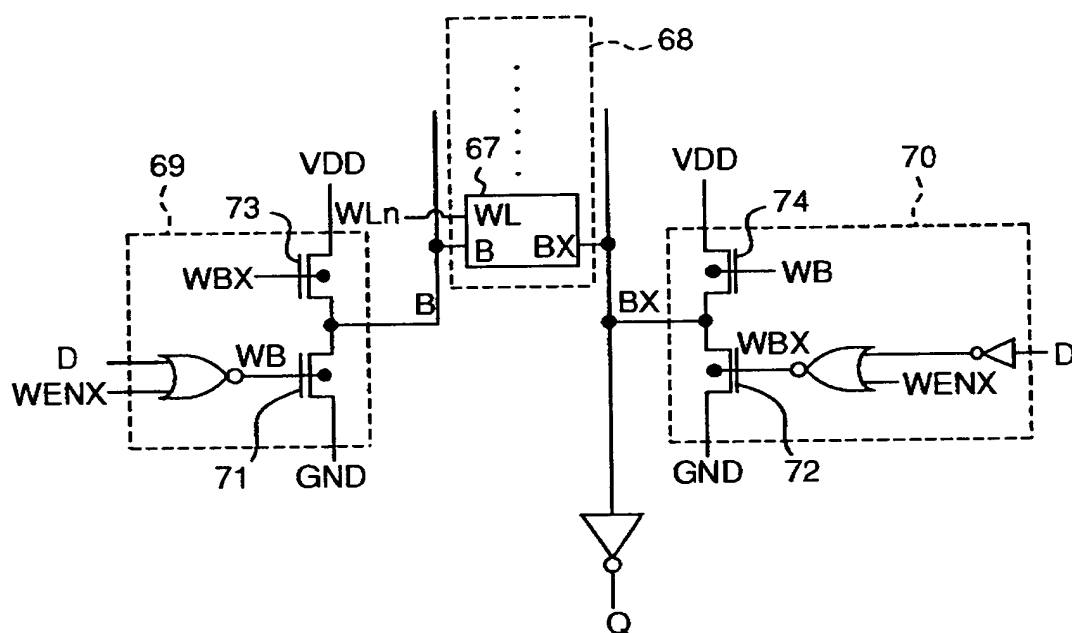
【図 4】



【図 5】

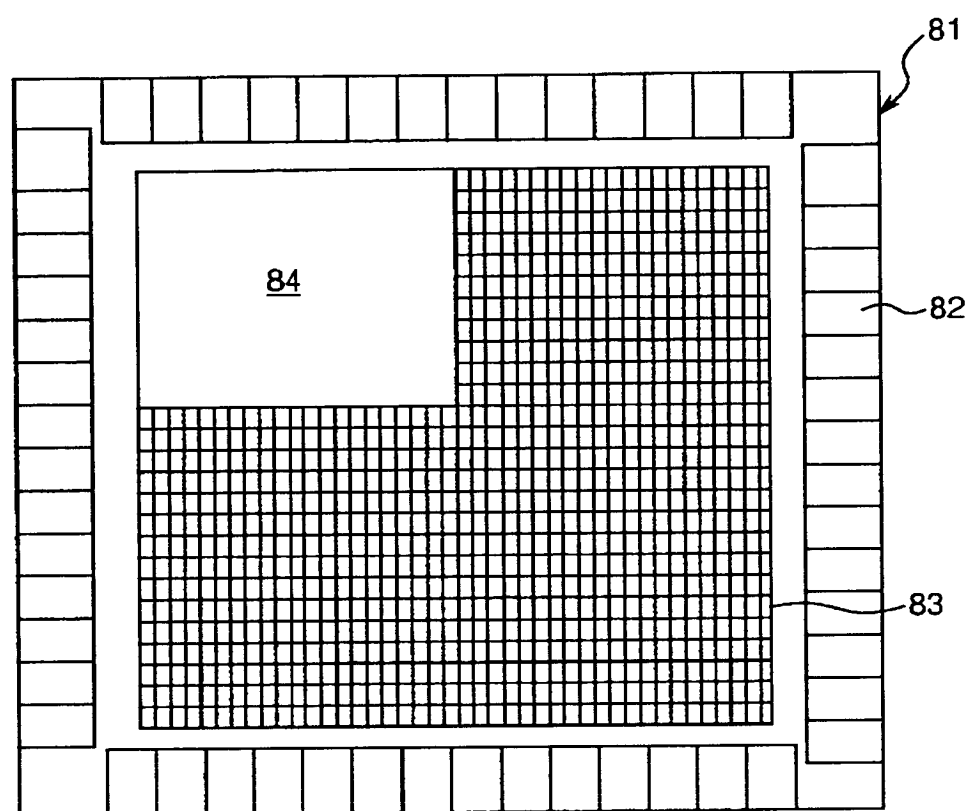


【図 6】

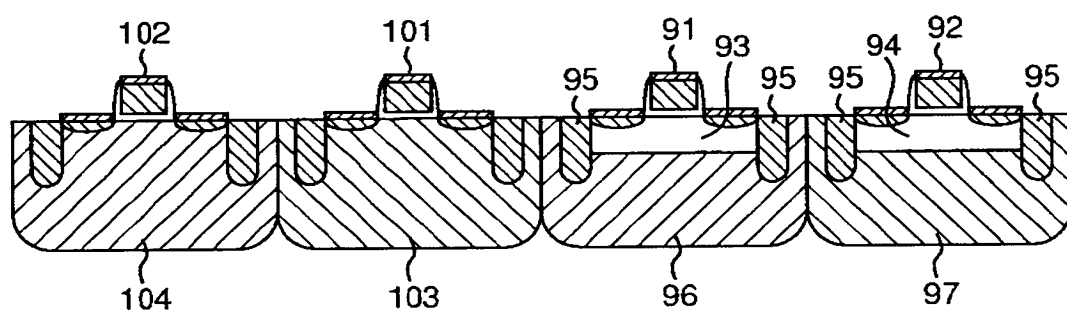




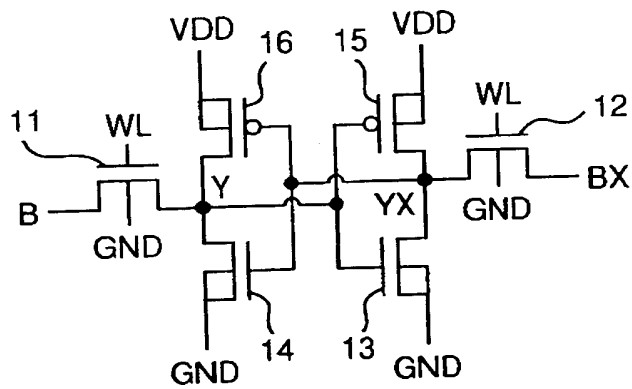
【図 7】



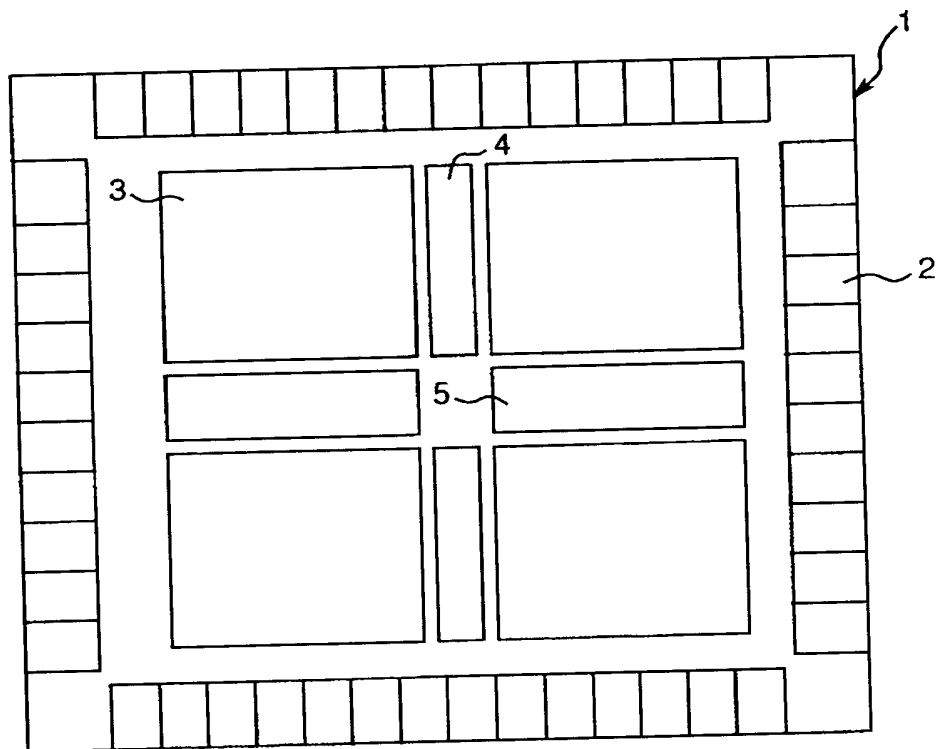
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 低電圧および低消費電力で動作可能な面積の小さいSRAMを提供する。

【解決手段】 SRAMセル27は、第1～第4NMOSトランジスタ21～24と第1,第2PMOSトランジスタ25,26で構成されている。第1～第4NMOSトランジスタ21～24は、チャネル領域がゲートに接続されたDTMOSで構成されている。こうして、オン時の $V_{th}$ をオフ時よりも低くして低電圧動作を可能にし、動作時の消費電力を小さくする。一方、オフ時の $V_{th}$ は通常のNMOSトランジスタと同時でありオフ時のリーク電流は従来のSRAMセルと同等となり、スタンバイ時の消費電力は増大しない。さらに、オン抵抗が小さく書き込み/読み出し速度が速いため、書き込み/読み出し速度が従来程度でよければ面積を狭くできる。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 000005049  
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号  
【氏名又は名称】 シャープ株式会社  
【代理人】 申請人  
【識別番号】 100062144  
【住所又は居所】 大阪府大阪市中央区城見 1 丁目 3 番 7 号 IMP ビ  
ル 青山特許事務所  
【氏名又は名称】 青山 葆  
【選任した代理人】  
【識別番号】 100084146  
【住所又は居所】 大阪府大阪市中央区城見 1 丁目 3 番 7 号 IMP ビ  
ル 青山特許事務所  
【氏名又は名称】 山崎 宏

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社